

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0046570
Application Number PATENT-2002-0046570

출원년월일 : 2002년 08월 07일
Date of Application AUG 07, 2002

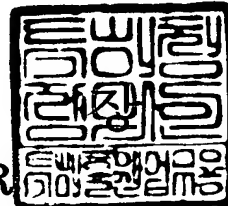
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 11 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.08.07
【국제특허분류】	H01L
【발명의 명칭】	동기식 리셋 또는 비동기식 리셋 기능을 갖는 감지증폭기
【발명의 영문명칭】	Sense amplifier having synchronous reset or asynchronous reset
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	김민수
【성명의 영문표기】	KIM, Min Su
【주민등록번호】	730627-1241617
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 860번지 신영통 현대아파트 305-1101
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 20 면 20,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 36 항 1,261,000 원

【합계】 1,310,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

동기식 리셋기능 또는 비동기식 리셋기능을 가지며 구현이 간단하고 속도가 빠른 감지증폭기가 개시된다. 상기 감지증폭기는 클럭신호에 응답하여 입력신호를 감지증폭하여 출력신호를 발생하는 제1감지증폭부와 상기 클럭신호에 응답하여 상기 입력신호의 상보신호를 감지증폭하여 상기 출력신호의 상보신호를 발생하는 제2감지증폭부를 구비한다. 특히 상기 감지증폭기는 상기 제1감지증폭부에 연결되고 리셋신호 및 상기 리셋신호의 반전신호에 응답하여 상기 출력신호를 셋시키는 제1제어부와 상기 제2감지증폭부에 연결되고 상기 리셋신호 및 상기 리셋신호의 반전신호에 응답하여 상기 출력신호의 상보신호를 리셋시키는 제2제어부를 더 구비하는 것을 특징으로 한다. 따라서 상기 동기식 리셋기능 또는 비동기식 리셋기능을 갖는 감지증폭기는 프로세서의 동작속도를 향상시키기 위하여 프로세서의 중요패쓰(Critical path)에서 동기식 리셋 또는 비동기식 리셋 기능을 갖는 래치 대신에 사용될 수 있는 장점이 있다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

동기식 리셋 또는 비동기식 리셋 기능을 갖는 감지증폭기{Sense amplifier having synchronous reset or asynchronous reset}

【도면의 간단한 설명】

도 1은 본 발명의 제1실시예에 따른 동기식 리셋 기능을 갖는 감지증폭기를 나타내는 회로도이다.

도 2는 본 발명의 제2실시예에 따른 동기식 리셋 기능을 갖는 감지증폭기를 나타내는 회로도이다.

도 3은 본 발명의 제1실시예에 따른 비동기식 리셋 기능을 갖는 감지증폭기를 나타내는 회로도이다.

도 4는 본 발명의 제2실시예에 따른 비동기식 리셋 기능을 갖는 감지증폭기를 나타내는 회로도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <5> 본 발명은 반도체 집적회로에 관한 것으로, 특히 동기식 리셋(Synchronous reset) 또는 비동기식 리셋(Asynchronous reset) 기능을 갖는 감지증폭기에 관한 것이다.
- <6> 반도체 집적회로, 특히 반도체 메모리장치에서는 메모리셀에 저장된 데이터가 비트라인 쌍 및 입출력라인 쌍을 통해 독출된다. 그런데 독출동작시 비트라인 쌍 사이의 전

압차 및 입출력라인 쌍 사이의 전압차는 매우 작으며, 따라서 그 작은 전압 차이를 감지하기 위하여 감지증폭기가 사용된다.

<7> 한편 고속 프로세서(Processor)에서는 중요패쓰(Critical path)에 동기식 리셋 또는 비동기식 리셋 기능을 갖는 래치가 주로 사용되어 왔다. 그런데 동기식 리셋 또는 비동기식 리셋 기능을 갖는 래치는 중요패쓰에서 많은 타이밍을 소요하며 이로 인하여 프로세서의 동작속도를 향상시키는 데 제한이 있다. 따라서 프로세서의 동작속도를 더 향상시키기 위해서는 중요패쓰에 래치 대신에 감지증폭기가 사용될 수 있다.

<8> 그런데 종래의 감지증폭기는 리셋 기능을 포함하고 있지 않으며 따라서 고속 프로세서와 같은 집적회로에 적용하기 위해서는 동기식 리셋 또는 비동기식 리셋 기능을 갖는 감지증폭기가 요구된다.

【발명이 이루고자 하는 기술적 과제】

<9> 본 발명이 이루고자하는 기술적 과제는, 구현이 간단하고 속도가 빠른 동기식 리셋 기능을 갖는 감지증폭기를 제공하는 데 있다.

<10> 본 발명이 이루고자하는 다른 기술적 과제는, 구현이 간단하고 속도가 빠른 비동기식 리셋 기능을 갖는 감지증폭기를 제공하는 데 있다.

【발명의 구성 및 작용】

<11> 상기의 기술적 과제를 달성하기 위한 본 발명의 제1실시예에 따른 동기식 리셋 기능을 갖는 감지증폭기는, 제1감지증폭부, 제2감지증폭부, 제1제어부, 제2제어부, 전류소스, 제1반전 버퍼, 및 제2반전 버퍼를 구비하는 것을 특징으로 한다.

- <12> 상기 제1감지증폭부는 클럭신호에 응답하여 입력신호를 감지증폭하여 출력신호를 발생한다. 상기 제2감지증폭부는 상기 클럭신호에 응답하여 상기 입력신호의 상보신호를 감지증폭하여 상기 출력신호의 상보신호를 발생한다. 상기 제1반전 버퍼는 상기 출력신호를 반전 버퍼링하여 최종 출력신호를 발생한다. 상기 제2반전 버퍼는 상기 출력신호의 상보신호를 반전 버퍼링하여 상기 최종 출력신호의 상보신호를 발생한다.
- <13> 상기 제1제어부는 상기 제1감지증폭부에 연결되고 리셋신호 및 상기 리셋신호의 반전신호에 응답하여 상기 최종 출력신호를 리셋시킨다. 상기 제2제어부는 상기 제2감지증폭부에 연결되고 상기 리셋신호 및 상기 리셋신호의 반전신호에 응답하여 상기 최종 출력신호의 상보신호를 리셋시킨다. 상기 전류소스는 상기 제1감지증폭부, 상기 제2감지증폭부, 상기 제1제어부, 및 상기 제2제어부에 연결되고 상기 클럭신호에 응답한다.
- <14> 상기의 기술적 과제를 달성하기 위한 본 발명의 제2실시예에 따른 동기식 리셋 기능을 갖는 감지증폭기는, 제1감지증폭부, 제2감지증폭부, 제어부, 전류소스, 제1반전 버퍼, 및 제2반전 버퍼를 구비하는 것을 특징으로 한다.
- <15> 상기 제1감지증폭부, 상기 제2감지증폭부, 상기 전류소스, 상기 제1반전 버퍼, 및 상기 제2반전 버퍼는 상기 제1실시예에 따른 동기식 리셋 기능을 갖는 감지증폭기의 것들과 구성 및 동작이 동일하다. 상기 제어부는 상기 제1실시예에 따른 동기식 리셋기능을 갖는 감지증폭기의 제1제어부와 제2제어부를 통합한 것으로서, 상기 제1감지증폭부 및 상기 제2감지증폭부에 연결되고 리셋신호 및 리셋신호의 반전신호에 응답하여 상기 최종 출력신호를 리셋시키고 상기 최종 출력신호의 상보신호를 리셋시킨다.

- <16> 상기의 다른 기술적 과제를 달성하기 위한 본 발명의 제1실시예에 따른 비동기식 리셋 기능을 갖는 감지증폭기는, 제1감지증폭부, 제2감지증폭부, 제1제어부, 제2제어부, 전류소스, 제1반전 버퍼, 및 제2반전 버퍼를 구비하는 것을 특징으로 한다.
- <17> 상기 제1감지증폭부는 클럭신호 및 리셋신호에 응답하여 입력신호를 감지증폭하여 출력신호를 발생한다. 상기 제2감지증폭부는 상기 클럭신호 및 상기 리셋신호에 응답하여 상기 입력신호의 상보신호를 감지증폭하여 상기 출력신호의 상보신호를 발생한다. 상기 제1반전 버퍼는 상기 출력신호를 반전 버퍼링하여 최종 출력신호를 발생한다. 상기 제2반전 버퍼는 상기 출력신호의 상보신호를 반전 버퍼링하여 상기 최종 출력신호의 상보신호를 발생한다.
- <18> 상기 제1제어부는 상기 제1감지증폭부에 연결되고 상기 리셋신호 및 상기 리셋신호의 반전신호에 응답하여 상기 최종 출력신호를 리셋시킨다. 상기 제2제어부는 상기 제2감지증폭부에 연결되고 상기 리셋신호 및 상기 리셋신호의 반전신호에 응답하여 상기 최종 출력신호의 상보신호를 셋시킨다. 상기 전류소스는 상기 제1감지증폭부, 상기 제2감지증폭부, 상기 제1제어부, 및 상기 제2제어부에 연결되고 상기 클럭신호에 응답한다.
- <19> 상기의 다른 기술적 과제를 달성하기 위한 본 발명의 제2실시예에 따른 비동기식 리셋 기능을 갖는 감지증폭기는, 제1감지증폭부, 제2감지증폭부, 제어부, 전류소스, 제1반전 버퍼, 및 제2반전 버퍼를 구비하는 것을 특징으로 한다.
- <20> 상기 제1감지증폭부, 상기 제2감지증폭부, 상기 전류소스, 상기 제1반전 버퍼, 및 상기 제2반전 버퍼는 상기 제1실시예에 따른 비동기식 리셋 기능을 갖는 감지증폭기의 것들과 구성 및 동작이 동일하다. 상기 제어부는 상기 제1실시예에 따른 비동기식 리셋 기능을 갖는 감지증폭기의 제1제어부와 제2제어부를 통합한 것으로서, 상기 제1감지증폭

부 및 상기 제2감지증폭부에 연결되고 리셋신호 및 리셋신호의 반전신호에 응답하여 상기 최종 출력신호를 리셋시키고 상기 최종 출력신호의 상보신호를 셋시킨다.

<21> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다.

<22> 도 1은 본 발명의 제1실시예에 따른 동기식 리셋 기능을 갖는 감지증폭기를 나타내는 회로도이다.

<23> 도 1을 참조하면, 본 발명의 제1실시예에 따른 감지증폭기는, 제1감지증폭부(11), 제2감지증폭부(13), 제1제어부(15), 제2제어부(17), 전류소스(19), 제1반전 버퍼(B1), 및 제2반전 버퍼(B2)를 구비한다.

<24> 제1감지증폭부(11)는 클럭신호(CLK)에 응답하여 입력신호(IN-H)를 감지증폭하여 제1출력노드(01)로 출력신호를 발생한다. 제2감지증폭부(13)는 클럭신호(CLK)에 응답하여 입력신호의 상보신호(IN-L)를 감지증폭하여 제2출력노드(02)로 상기 출력신호의 상보신호를 발생한다. 제1반전 버퍼(B1)는 제1출력노드(01)의 신호를 반전 버퍼링하여 최종 출력신호(OUT-H)를 발생한다. 제2반전 버퍼(B2)는 제2출력노드(02)의 신호를 반전 버퍼링하여 최종 출력신호의 상보신호(OUT-L)를 발생한다.

<25> 제1제어부(15)는 제1감지증폭부(11)에 연결되고 리셋신호(RESET) 및 리셋신호의 반전신호(/RESET)에 응답하여 제1출력노드(01)의 신호를 논리"하이"로 셋시킨다. 즉 최종 출력신호(OUT-H)를 논리"로우"로 리셋시킨다. 제2제어부(17)는 제2감지증폭부(13)에 연결되고 리셋신호(RESET) 및 리셋신호의 반전신호(/RESET)에 응답하여 제2출력노드(02)의 신호를 논리"로우"로 리셋시킨다. 즉 최종 출력신호의 상보신호(OUT-L)를 논리"하이"로

셋시킨다. 전류소스(19)는 제1감지증폭부(11), 제2감지증폭부(13), 제1제어부(15), 및 제2제어부(17)에 연결되고 클럭신호(CLK)에 응답한다.

<26> 제1감지증폭부(11)는 피모스 트랜지스터들(P11,P12) 및 엔모스 트랜지스터들(N11-N13)을 포함하여 구성된다. 피모스 트랜지스터(P11)는 소오스에 전원전압(VCC)이 인가되고 게이트에 클럭신호(CLK)가 인가되며 드레인이 제1출력노드(01)에 연결된다. 피모스 트랜지스터(P12)는 소오스에 전원전압(VCC)이 인가되고 게이트에 제2감지증폭부(13)의 제2출력노드(02)로부터 출력되는 신호가 인가되며 드레인이 제1출력노드(01)에 연결된다.

<27> 엔모스 트랜지스터(N11)는 드레인이 제1출력노드(01)에 연결되고 게이트에 제2출력노드(02)로부터 출력되는 신호가 인가되며 소오스가 제1제어부(15)에 연결된다. 엔모스 트랜지스터(N12)는 드레인이 제1출력노드(01)에 연결되고 게이트에 제2출력노드(02)로부터 출력되는 신호가 인가되며 소오스가 전류소스(19)에 연결된다. 엔모스 트랜지스터(N13)는 드레인이 엔모스 트랜지스터(N11)의 소오스에 연결되고 게이트에 입력신호(IN-H)가 인가되며 소오스가 제1제어부(15)에 연결된다.

<28> 제2감지증폭부(13)는 피모스 트랜지스터들(P31,P32) 및 엔모스 트랜지스터들(N31-N33)을 포함하여 구성된다. 피모스 트랜지스터(P31)는 소오스에 전원전압(VCC)이 인가되고 게이트에 클럭신호(CLK)가 인가되며 드레인이 제2출력노드(02)에 연결된다. 피모스 트랜지스터(P32)는 소오스에 전원전압(VCC)이 인가되고 게이트에 제1감지증폭부(11)의 제1출력노드(01)로부터 출력되는 신호가 인가되며 드레인이 제2출력노드(02)에 연결된다.

- <29> 엔모스 트랜지스터(N31)는 드레인이 제2출력노드(02)에 연결되고 게이트에 제1출력노드(01)로부터 출력되는 신호가 인가되며 소오스가 제2제어부(17)에 연결된다. 엔모스 트랜지스터(N32)는 드레인이 제2출력노드(02)에 연결되고 게이트에 제1출력노드(01)로부터 출력되는 신호가 인가되며 소오스가 전류소스(19)에 연결된다. 엔모스 트랜지스터(N33)는 드레인이 엔모스 트랜지스터(N31)의 소오스에 연결되고 게이트에 입력신호의 상보신호(IN-L)가 인가되며 소오스가 제2제어부(17)에 연결된다.
- <30> 제1제어부(15)는 엔모스 트랜지스터들(N51-N53)을 포함하여 구성된다. 엔모스 트랜지스터(N51)는 드레인이 제1감지증폭부(11)에 연결되고 게이트에 리셋신호의 반전신호(/RESET)가 인가되며 소오스가 전류소스(19)에 연결된다. 엔모스 트랜지스터(N52)는 드레인이 제1감지증폭부(11)에 연결되고 게이트에 접지전압(VSS)이 인가된다. 엔모스 트랜지스터(N53)는 드레인이 엔모스 트랜지스터(N52)의 소오스에 연결되고 게이트에 리셋신호(RESET)가 인가되며 소오스가 전류소스(19)에 연결된다.
- <31> 제2제어부(17)는 엔모스 트랜지스터들(N71-N73)을 포함하여 구성된다. 엔모스 트랜지스터(N71)는 드레인이 제2감지증폭부(13)에 연결되고 게이트에 리셋신호의 반전신호(/RESET)가 인가되며 소오스가 전류소스(19)에 연결된다. 엔모스 트랜지스터(N72)는 드레인이 제2감지증폭부(13)에 연결되고 게이트에 전원전압(VCC)이 인가된다. 엔모스 트랜지스터(N73)는 드레인이 엔모스 트랜지스터(N72)의 소오스에 연결되고 게이트에 리셋신호(RESET)가 인가되며 소오스가 전류소스(19)에 연결된다.
- <32> 전류소스(19)는 엔모스 트랜지스터(N91)를 포함하여 구성된다. 엔모스 트랜지스터(N91)는 드레인이 제1감지증폭부(11), 제2감지증폭부(13), 제1제어부(15), 및 제2제어부

(17)에 공통 연결되고 게이트에 클럭신호(CLK)가 인가되며 소오스에 접지전압(VSS)이 인가된다.

<33> 도 1에 도시된 제1실시예에 따른 동기식 리셋기능을 갖는 감지증폭기의 동작을 좀 더 설명하면, 리셋신호(RESET)가 논리"로우"로 비활성화되는 경우에는 제1제어부(15)의 엔모스 트랜지스터(N53)와 제2제어부(17)의 엔모스 트랜지스터(N73)가 턴오프되고 제1제어부(15)의 엔모스 트랜지스터(N51)와 제2제어부(17)의 엔모스 트랜지스터(N71)가 턴온된다. 따라서 상기 감지증폭기는 정상동작을 수행하며 클럭신호(CLK)에 응답하여 입력신호(IN-H) 및 이의 상보신호(IN-L)를 감지증폭하여 최종 출력신호(OUT-H) 및 이의 상보신호(OUT-L)를 발생한다.

<34> 리셋신호(RESET)가 논리"하이"로 활성화되는 경우에는 제1제어부(15)의 엔모스 트랜지스터(N53)와 제2제어부(17)의 엔모스 트랜지스터(N73)가 턴온되고 제1제어부(15)의 엔모스 트랜지스터(N51)와 제2제어부(17)의 엔모스 트랜지스터(N71)가 턴오프된다. 따라서 상기 감지증폭기로 입력신호(IN-H) 및 이의 상보신호(IN-L)는 받아 들여지지 않으며 제1제어부(15)의 엔모스 트랜지스터(N52)에 의해 미리 정해진 값과 제2제어부(17)의 엔모스 트랜지스터(N72)에 의해 미리 정해진 값에 따라 최종 출력신호(OUT-H) 및 이의 상보신호(OUT-L)의 값들이 결정된다.

<35> 다시말해 엔모스 트랜지스터(N52)는 게이트에 접지전압(VSS)이 인가되어 턴오프되어 있고 엔모스 트랜지스터(N72)는 게이트에 전원전압(VCC)이 인가되어 턴온되어 있으므로, 클럭신호(CLK)에 제어되어 제1출력노드(01)의 신호는 논리"하이"로 셋되고 제2출력노드(02)의 신호는 논리"로우"로 리셋된다. 즉 최종 출력신호(OUT-H)는 논리"로우"로 리

셋되고 최종 출력신호의 상보신호(OUT-L)는 논리"하이"로 셋된다. 즉 도 1에 도시된 감지증폭기는 클럭신호(CLK)에 동기식으로 리셋된다.

<36> 한편 다른 실시예로서 제1제어부(15)의 엔모스 트랜지스터(N52)의 게이트에 전원전압(VCC)이 인가되고 제2제어부(17)의 엔모스 트랜지스터(N72)의 게이트에 접지전압(VSS)이 인가되는 경우에는, 제1출력노드(01)의 신호는 논리"로우"로 리셋되고 제2출력노드(02)의 신호는 논리"하이"로 셋된다. 즉 최종 출력신호(OUT-H)는 논리"하이"로 셋되고 최종 출력신호의 상보신호(OUT-L)는 논리"로우"로 리셋된다.

<37> 도 2는 본 발명의 제2실시예에 따른 동기식 리셋 기능을 갖는 감지증폭기를 나타내는 회로도이다.

<38> 도 2를 참조하면, 본 발명의 제2실시예에 따른 감지증폭기는, 제1감지증폭부(11), 제2감지증폭부(13), 제어부(25), 전류소스(19), 제1반전 버퍼(B1), 및 제2반전 버퍼(B2)를 구비한다.

<39> 제1감지증폭부(11), 제2감지증폭부(13), 전류소스(19), 제1반전 버퍼(B1), 및 제2반전 버퍼(B2)는 도 1에 도시된 것들과 동일하다.

<40> 제어부(25)는 도 1에 도시된 제1제어부(15)와 제2제어부(17)를 통합한 것으로서, 제1감지증폭부(11) 및 제2감지증폭부(13)에 연결되고 리셋신호(RESET) 및 리셋신호의 반전신호(/RESET)에 응답하여 제1출력노드(01)의 신호를 논리"하이"로 셋시키고 제2출력노드(02)의 신호를 논리"로우"로 리셋시킨다. 즉 제어부(25)는 최종 출력신호(OUT-H)를 논리"로우"로 리셋시키고 최종 출력신호의 상보신호(OUT-L)를 논리"하이"로 셋시킨다.

<41> 제어부(25)는 엔모스 트랜지스터들(N351-N354)을 포함하여 구성된다. 엔모스 트랜지스터(N351)는 드레인이 제1감지증폭부(11)에 연결되고 게이트에 접지전압(VSS)이 인가된다. 엔모스 트랜지스터(N352)는 드레인이 제2감지증폭부(13)에 연결되고 게이트에 전원전압(VCC)이 인가된다. 엔모스 트랜지스터(N353)는 드레인이 엔모스 트랜지스터(N351)의 소오스 및 엔모스 트랜지스터(N352)의 소오스에 공통 연결되고 게이트에 리셋신호(RESET)가 인가되며 소오스가 전류소스(19)에 연결된다. 엔모스 트랜지스터(N354)는 드레인이 제1감지증폭부(11) 및 제2감지증폭부(13)에 공통 연결되고 게이트에 리셋신호의 반전신호(/RESET)가 인가되며 소오스가 전류소스(19)에 연결된다.

<42> 상기 제2실시예에 따른 감지증폭기의 동작은 도 1에 도시된 제1실시예에 따른 감지증폭기의 동작과 동일하다. 즉 리셋신호(RESET)가 논리"하이"로 활성화되는 경우에는 제어부(25)의 엔모스 트랜지스터(N253)는 턴온되고 엔모스 트랜지스터(N254)는 턴오프된다. 따라서 상기 감지증폭기로 입력신호(IN-H) 및 이의 상보신호(IN-L)는 받아들여지지 않으며 제어부(25)의 엔모스 트랜지스터(N251)에 의해 미리 정해진 값과 제어부(25)의 엔모스 트랜지스터(N252)에 의해 미리 정해진 값에 따라 최종 출력신호(OUT-H) 및 이의 상보신호(OUT-L)의 값들이 결정된다.

<43> 다시말해 엔모스 트랜지스터(N251)는 게이트에 접지전압(VSS)이 인가되어 턴오프되어 있고 엔모스 트랜지스터(N252)는 게이트에 전원전압(VCC)이 인가되어 턴온되어 있으므로, 제1출력노드(01)의 신호는 논리"하이"로 셋되고 제2출력노드(02)의 신호는 논리"로우"로 리셋된다. 즉 최종 출력신호(OUT-H)는 논리"로우"로 리셋되고 최종 출력신호의 상보신호(OUT-L)는 논리"하이"로 셋된다.

- <44> 한편 다른 실시예로서 제어부(25)의 엔모스 트랜지스터(N251)의 게이트에 전원전압(VCC)이 인가되고 제어부(25)의 엔모스 트랜지스터(N252)의 게이트에 접지전압(VSS)이 인가되는 경우에는, 제1출력노드(01)의 신호는 논리"로우"로 리셋되고 제2출력노드(02)의 신호는 논리"하이"로 셋된다. 즉 최종 출력신호(OUT-H)는 논리"하이"로 셋되고 최종 출력신호의 상보신호(OUT-L)는 논리"로우"로 리셋된다.
- <45> 도 3은 본 발명의 제1실시예에 따른 비동기식 리셋 기능을 갖는 감지증폭기를 나타내는 회로도이다.
- <46> 도 3을 참조하면, 본 발명의 제1실시예에 따른 감지증폭기는, 제1감지증폭부(31), 제2감지증폭부(33), 제1제어부(35), 제2제어부(37), 전류소스(39), 제1반전 버퍼(B1), 및 제2반전 버퍼(B2)를 구비한다.
- <47> 제1감지증폭부(31)는 클럭신호(CLK) 및 리셋신호(RESET)에 응답하여 입력신호(IN-H)를 감지증폭하여 제1출력노드(01)로 출력신호를 발생한다. 제2감지증폭부(33)는 클럭신호(CLK) 및 리셋신호(RESET)에 응답하여 입력신호의 상보신호(IN-L)를 감지증폭하여 제2출력노드(02)로 상기 출력신호의 상보신호를 발생한다. 제1반전 버퍼(B1)는 제1출력노드(01)의 신호를 반전 버퍼링하여 최종 출력신호(OUT-H)를 발생한다. 제2반전 버퍼(B2)는 제2출력노드(02)의 신호를 반전 버퍼링하여 최종 출력신호의 상보신호(OUT-L)를 발생한다.
- <48> 제1제어부(35)는 제1감지증폭부(31)에 연결되고 리셋신호(RESET) 및 리셋신호의 반전신호(/RESET)에 응답하여 제1출력노드(01)의 신호를 논리"하이"로 셋시킨다. 즉 최종 출력신호(OUT-H)를 논리"로우"로 리셋시킨다. 제2제어부(37)는 제2감지증폭부(33)에 연

결되고 리셋신호(RESET) 및 리셋신호의 반전신호(/RESET)에 응답하여 제2출력노드(02)의 신호를 논리"로우"로 리셋시킨다. 즉 최종 출력신호의 상보신호(OUT-L)를 논리"하이"로 셋시킨다.

<49> 좀더 상세하게는 제1감지증폭부(31)는 피모스 트랜지스터들(P311-P313) 및 엔모스 트랜지스터들(N311-N313)을 포함하여 구성된다. 피모스 트랜지스터(P311)는 소오스에 전원전압(VCC)이 인가되고 게이트에 클럭신호(CLK)가 인가된다. 피모스 트랜지스터(P312)는 소오스가 피모스 트랜지스터(P311)의 드레인에 연결되고 게이트에 리셋신호(RESET)가 인가되며 드레인이 제1출력노드(01)에 연결된다. 피모스 트랜지스터(P313)는 소오스에 전원전압(VCC)이 인가되고 게이트에 제2출력노드(02)의 신호가 인가되며 드레인이 제1출력노드(01)에 연결된다.

<50> 엔모스 트랜지스터(N311)는 드레인이 제1출력노드(01)에 연결되고 게이트에 제2출력노드(02)의 신호가 인가되며 소오스가 제1제어부(35)에 연결된다. 엔모스 트랜지스터(N312)는 드레인이 제1출력노드(01)에 연결되고 게이트에 제2출력노드(02)의 신호가 인가되며 소오스가 전류소스(39)에 연결된다. 엔모스 트랜지스터(N313)는 드레인이 엔모스 트랜지스터(N311)의 소오스에 연결되고 게이트에 입력신호(IN-H)가 인가되며 소오스가 제1제어부(35)에 연결된다.

<51> 제2감지증폭부(33)는 피모스 트랜지스터들(P331-P333) 및 엔모스 트랜지스터들(N331-N333)을 포함하여 구성된다. 피모스 트랜지스터(P331)는 소오스에 전원전압(VCC)이 인가되고 게이트에 클럭신호(CLK)가 인가된다. 피모스 트랜지스터(P332)는 소오스가 피모스 트랜지스터(P331)의 드레인에 연결되고 게이트에 리셋신호(RESET)가 인가되며 드레인이 제2출력노드(01)에 연결된다. 피모스 트랜지스터(P333)는 소오스에 전원전압

(VCC)이 인가되고 게이트에 제1출력노드(01)의 신호가 인가되며 드레인이 제2출력노드(02)에 연결된다.

<52> 엔모스 트랜지스터(N331)는 드레인이 제2출력노드(02)에 연결되고 게이트에 제1출력노드(01)의 신호가 인가되며 소오스가 제2제어부(37)에 연결된다. 엔모스 트랜지스터(N332)는 드레인이 제2출력노드(02)에 연결되고 게이트에 제1출력노드(01)의 신호가 인가되며 소오스가 전류소스(39)에 연결된다. 엔모스 트랜지스터(N333)는 드레인이 엔모스 트랜지스터(N331)의 소오스에 연결되고 게이트에 입력신호의 상보신호(IN-L)가 인가되며 소오스가 제2제어부(37)에 연결된다.

<53> 제1제어부(35)는 엔모스 트랜지스터들(N351,N352)을 포함하여 구성된다. 엔모스 트랜지스터(N351)는 드레인이 제1감지증폭부(31)에 연결되고 게이트에 리셋신호의 반전신호(/RESET)가 인가되며 소오스가 전류소스(39)에 연결된다. 엔모스 트랜지스터(N352)는 드레인이 제1감지증폭부(31)에 연결되고 게이트에 리셋신호(RESET)가 인가되며 소오스에 전원전압(VCC)이 인가된다.

<54> 제2제어부(37)는 엔모스 트랜지스터들(N371,N372)을 포함하여 구성된다. 엔모스 트랜지스터(N371)는 드레인이 제2감지증폭부(33)에 연결되고 게이트에 리셋신호의 반전신호(/RESET)가 인가되며 소오스가 전류소스(39)에 연결된다. 엔모스 트랜지스터(N372)는 드레인이 제2감지증폭부(33)에 연결되고 게이트에 리셋신호(RESET)가 인가되며 소오스에 접지전압(VSS)이 인가된다.

<55> 전류소스(39)는 엔모스 트랜지스터(N391)를 포함하여 구성된다. 엔모스 트랜지스터(N391)는 드레인이 제1감지증폭부(31), 제2감지증폭부(33), 제1제어부(35), 및 제2제어

부(37)에 공통 연결되고 게이트에 클럭신호(CLK)가 인가되며 소오스에 접지전압(VSS)이 인가된다.

<56> 도 3에 도시된 제1실시예에 따른 비동기식 리셋기능을 갖는 감지증폭기의 동작을 좀더 설명하면, 제1감지증폭부(31)의 피모스 트랜지스터(P312)와 제2감지증폭부(33)의 피모스 트랜지스터(P332)는 리셋신호(RESET)가 논리"로우"로 디스에이블될 때 턴온되어 상기 감지증폭기가 정상동작되도록 한다. 제1제어부(35)의 엔모스 트랜지스터(N352)와 제2제어부(37)의 엔모스 트랜지스터(N372)는 리셋신호(RESET)가 논리"하이"로 인에이블될 때 턴온되고, 이에 따라 클럭신호(CLK)와 무관하게 그리고 엔모스 트랜지스터(N352)에 의해 미리 정해진 값과 엔모스 트랜지스터(N372)에 의해 미리 정해진 값에 따라 최종 출력신호(OUT-H) 및 이의 상보신호(OUT-L)의 값들이 결정된다.

<57> 즉 도 3에 도시된 감지증폭기는 클럭신호(CLK)와 무관하게 비동기식으로 리셋된다. 다시말해 엔모스 트랜지스터(N352)는 소오스에 전원전압(VCC)이 인가되어 있고 엔모스 트랜지스터(N372)는 소오스에 접지전압(VSS)이 인가되어 있으므로, 클럭신호(CLK)와 무관하게 제1출력노드(01)의 신호는 논리"하이"로 셋되고 제2출력노드(02)의 신호는 논리"로우"로 리셋된다. 즉 최종 출력신호(OUT-H)는 논리"로우"로 리셋되고 최종 출력신호의 상보신호(OUT-L)는 논리"하이"로 셋된다.

<58> 한편 다른 실시예로서 엔모스 트랜지스터(N352)의 소오스에 접지전압(VSS)이 인가되고 엔모스 트랜지스터(N372)의 소오스에 전원전압(VCC)이 인가되는 경우에는, 제1출력노드(01)의 신호는 논리"로우"로 리셋되고 제2출력노드(02)의 신호는 논리"하이"로 셋된

다. 즉 최종 출력신호(OUT-H)는 논리"하이"로 셋되고 최종 출력신호의 상보신호(OUT-L)는 논리"로우"로 리셋된다.

<59> 도 4는 본 발명의 제2실시예에 따른 비동기식 리셋 기능을 갖는 감지증폭기를 나타내는 회로도이다.

<60> 도 4를 참조하면, 본 발명의 제2실시예에 따른 감지증폭기는, 제1감지증폭부(31), 제2감지증폭부(33), 제어부(45), 전류소스(39), 제1반전 버퍼(B1), 및 제2반전 버퍼(B2)를 구비한다.

<61> 제1감지증폭부(31), 제2감지증폭부(33), 전류소스(39), 제1반전 버퍼(B1), 및 제2반전 버퍼(B2)는 도 3에 도시된 것들과 동일하다.

<62> 제어부(45)는 도 3에 도시된 제1제어부(35)와 제2제어부(37)를 통합한 것으로서, 제1감지증폭부(31) 및 제2감지증폭부(33)에 연결되고 리셋신호(RESET) 및 리셋신호의 반전신호(/RESET)에 응답하여 제1출력노드(O1)의 신호를 논리"하이"로 셋시키고 제2출력노드(O2)의 신호를 논리"로우"로 리셋시킨다. 즉 제어부(45)는 최종 출력신호(OUT-H)를 논리"로우"로 리셋시키고 최종 출력신호의 상보신호(OUT-L)를 논리"하이"로 셋시킨다.

<63> 제어부(45)는 엔모스 트랜지스터들(N451-N453)을 포함하여 구성된다. 엔모스 트랜지스터(N451)는 드레인이 제1감지증폭부(31)에 연결되고 게이트에 리셋신호(RESET)가 인가되며 소오스에 전원전압(VCC)이 인가된다. 엔모스 트랜지스터(N452)는 드레인이 제2감지증폭부(33)에 연결되고 게이트에 리셋신호(RESET)가 인가되며 소오스에 접지전압(VSS)이 인가된다. 엔모스 트랜지스터(N453)는 드레인이 제1감지증폭부(31) 및 제2감지증폭부(33)에 공통 연결되고 게이트에 리셋신호의 반전신호(/RESET)가 인가된다.

<64> 상기 제2실시예에 따른 감지증폭기의 동작은 도 3에 도시된 제1실시예에 따른 감지 증폭기의 동작과 동일하다. 즉 상기 제2실시예에 따른 감지증폭기는 클럭신호(CLK)와 무관하게 비동기식으로 리셋된다. 다시말해 엔모스 트랜지스터(N451)는 소오스에 전원전압(VCC)이 인가되어 있고 엔모스 트랜지스터(N452)는 소오스에 접지전압(VSS)이 인가되어 있으므로, 클럭신호(CLK)와 무관하게 제1출력노드(01)의 신호는 논리"하이"로 셋되고 제2출력노드(02)의 신호는 논리"로우"로 리셋된다. 즉 최종 출력신호(OUT-H)는 논리"로우"로 리셋되고 최종 출력신호의 상보신호(OUT-L)는 논리"하이"로 셋된다.

<65> 한편 다른 실시예로서 엔모스 트랜지스터(N451)의 소오스에 접지전압(VSS)이 인가되고 엔모스 트랜지스터(N452)의 소오스에 전원전압(VCC)이 인가되는 경우에는, 제1출력노드(01)의 신호는 논리"로우"로 리셋되고 제2출력노드(02)의 신호는 논리"하이"로 셋된다. 즉 최종 출력신호(OUT-H)는 논리"하이"로 셋되고 최종 출력신호의 상보신호(OUT-L)는 논리"로우"로 리셋된다.

<66> 이상에서 설명한 바와 같이 본 발명에 따른 감지증폭기는 동기식 리셋기능 또는 비동기식 리셋기능을 가지고 있으며 종래의 고속 감지증폭기에 리셋회로를 첨가함으로써 간단히 구현될 수 있고 속도가 빠른 장점이 있다. 따라서 본 발명에 따른 동기식 리셋기능 또는 비동기식 리셋기능을 갖는 감지증폭기는 프로세서의 동작속도를 향상시키기 위하여 프로세서의 중요패쓰(Critical path)에서 동기식 리셋 또는 비동기식 리셋 기능을 갖는 래치 대신에 사용될 수 있다.

<67> 이상과 같이, 본 발명을 실시예들을 들어 한정적으로 설명하였으나 이에 한정되지 않으며 본 발명의 사상의 범위 내에서 당해 분야의 통상의 지식을 가진 자에 의해 본원 발명에 대한 각종 변형이 가능함은 자명하다.

【발명의 효과】

<68> 상술한 바와 같이 본 발명에 따른 감지증폭기는 동기식 리셋기능 또는 비동기식 리셋기능을 가지고 있으며 종래의 고속 감지증폭기에 리셋회로를 첨가함으로써 간단히 구현될 수 있고 속도가 빠른 장점이 있다. 따라서 본 발명에 따른 동기식 리셋기능 또는 비동기식 리셋기능을 갖는 감지증폭기는 프로세서의 동작속도를 향상시키기 위하여 프로세서의 중요패쓰(Critical path)에서 동기식 리셋 또는 비동기식 리셋 기능을 갖는 래치 대신에 사용될 수 있다.

【특허청구범위】**【청구항 1】**

클럭신호에 응답하여 입력신호를 감지증폭하여 출력신호를 발생하는 제1감지증폭부 ;

상기 클럭신호에 응답하여 상기 입력신호의 상보신호를 감지증폭하여 상기 출력신호의 상보신호를 발생하는 제2감지증폭부 ;

상기 제1감지증폭부에 연결되고 리셋신호 및 상기 리셋신호의 반전신호에 응답하여 상기 출력신호를 셋시키는 제1제어부 ;

상기 제2감지증폭부에 연결되고 상기 리셋신호 및 상기 리셋신호의 반전신호에 응답하여 상기 출력신호의 상보신호를 리셋시키는 제2제어부 ; 및

상기 제1감지증폭부, 상기 제2감지증폭부, 상기 제1제어부, 및 상기 제2제어부에 연결되고 상기 클럭신호에 응답하는 전류소스를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 2】

클럭신호에 응답하여 입력신호를 감지증폭하여 출력신호를 발생하는 제1감지증폭부 ;

상기 클럭신호에 응답하여 상기 입력신호의 상보신호를 감지증폭하여 상기 출력신호의 상보신호를 발생하는 제2감지증폭부 ;

상기 제1감지증폭부에 연결되고 리셋신호 및 상기 리셋신호의 반전신호에 응답하여 상기 출력신호를 리셋시키는 제1제어부 ;

상기 제2감지증폭부에 연결되고 상기 리셋신호 및 상기 리셋신호의 반전신호에 응답하여 상기 출력신호의 상보신호를 셋시키는 제2제어부; 및

상기 제1감지증폭부, 상기 제2감지증폭부, 상기 제1제어부, 및 상기 제2제어부에 연결되고 상기 클럭신호에 응답하는 전류소스를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 3】

제1항 또는 제2항에 있어서, 상기 감지증폭기는,

상기 출력신호를 반전 버퍼링하는 제1반전 버퍼; 및

상기 출력신호의 상보신호를 반전 버퍼링하는 제2반전 버퍼를 더 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 4】

제1항 또는 제2항에 있어서, 상기 제1감지증폭부는,

소오스에 전원전압이 인가되고 게이트에 상기 클럭신호가 인가되며 드레인이 상기 출력신호가 출력되는 제1출력노드에 연결되는 제1피모스 트랜지스터;

소오스에 전원전압이 인가되고 게이트에 상기 제2감지증폭부로부터 출력되는 상기 출력신호의 상보신호가 인가되며 드레인이 상기 제1출력노드에 연결되는 제2피모스 트랜지스터;

드레인이 상기 제1출력노드에 연결되고 게이트에 상기 출력신호의 상보신호가 인가되며 소오스가 상기 제1제어부에 연결되는 제1엔모스 트랜지스터;

드레인이 상기 제1출력노드에 연결되고 게이트에 상기 출력신호의 상보신호가 인가되며 소오스가 상기 전류소스에 연결되는 제2엔모스 트랜지스터; 및

드레인이 상기 제1엔모스 트랜지스터의 소오스에 연결되고 게이트에 상기 입력신호가 인가되며 소오스가 상기 제1제어부에 연결되는 제3엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 5】

제1항 또는 제2항에 있어서, 상기 제2감지증폭부는,

소오스에 전원전압이 인가되고 게이트에 상기 클럭신호가 인가되며 드레인이 상기 출력신호의 상보신호가 출력되는 제2출력노드에 연결되는 제1피모스 트랜지스터;

소오스에 전원전압이 인가되고 게이트에 상기 제1감지증폭부로부터 출력되는 상기 출력신호가 인가되며 드레인이 상기 제2출력노드에 연결되는 제2피모스 트랜지스터;

드레인이 상기 제2출력노드에 연결되고 게이트에 상기 출력신호가 인가되며 소오스가 상기 제2제어부에 연결되는 제1엔모스 트랜지스터;

드레인이 상기 제2출력노드에 연결되고 게이트에 상기 출력신호가 인가되며 소오스가 상기 전류소스에 연결되는 제2엔모스 트랜지스터; 및

드레인이 상기 제1엔모스 트랜지스터의 소오스에 연결되고 게이트에 상기 입력신호의 상보신호가 인가되며 소오스가 상기 제2제어부에 연결되는 제3엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 6】

제1항에 있어서, 상기 제1제어부는,

드레인이 상기 제1감지증폭부에 연결되고 게이트에 상기 리셋신호의 반전신호가 인가되며 소오스가 상기 전류소스에 연결되는 제1엔모스 트랜지스터;

드레인이 상기 제1감지증폭부에 연결되고 게이트에 접지전압이 인가되는 제2엔모스 트랜지스터; 및

드레인이 상기 제2엔모스 트랜지스터의 소오스에 연결되고 게이트에 상기 리셋신호가 인가되며 소오스가 상기 전류소스에 연결되는 제3엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 7】

제1항에 있어서, 상기 제2제어부는,

드레인이 상기 제2감지증폭부에 연결되고 게이트에 상기 리셋신호의 반전신호가 인가되며 소오스가 상기 전류소스에 연결되는 제1엔모스 트랜지스터;

드레인이 상기 제2감지증폭부에 연결되고 게이트에 전원전압이 인가되는 제2엔모스 트랜지스터; 및

드레인이 상기 제2엔모스 트랜지스터의 소오스에 연결되고 게이트에 상기 리셋신호가 인가되며 소오스가 상기 전류소스에 연결되는 제3엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 8】

제2항에 있어서, 상기 제1제어부는,

드레인이 상기 제1감지증폭부에 연결되고 게이트에 상기 리셋신호의 반전신호가 인가되며 소오스가 상기 전류소스에 연결되는 제1엔모스 트랜지스터;

드레인이 상기 제1감지증폭부에 연결되고 게이트에 전원전압이 인가되는 제2엔모스 트랜지스터; 및

드레인이 상기 제2엔모스 트랜지스터의 소오스에 연결되고 게이트에 상기 리셋신호가 인가되며 소오스가 상기 전류소스에 연결되는 제3엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 9】

제2항에 있어서, 상기 제2제어부는,

드레인이 상기 제2감지증폭부에 연결되고 게이트에 상기 리셋신호의 반전신호가 인가되며 소오스가 상기 전류소스에 연결되는 제1엔모스 트랜지스터;

드레인이 상기 제2감지증폭부에 연결되고 게이트에 접지전압이 인가되는 제2엔모스 트랜지스터; 및

드레인이 상기 제2엔모스 트랜지스터의 소오스에 연결되고 게이트에 상기 리셋신호가 인가되며 소오스가 상기 전류소스에 연결되는 제3엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 10】

제1항 또는 제2항에 있어서, 상기 전류소스는,

드레인이 상기 제1감지증폭부, 상기 제2감지증폭부, 상기 제1제어부, 및 상기 제2제어부에 공통 연결되고 게이트에 상기 클럭신호가 인가되며 소오스에 접지전압이 인가되는 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 11】

클럭신호에 응답하여 입력신호를 감지증폭하여 출력신호를 발생하는
제1감지증폭부;

상기 클럭신호에 응답하여 상기 입력신호의 상보신호를 감지증폭하여 상기 출력신
호의 상보신호를 발생하는 제2감지증폭부; 및

상기 제1감지증폭부 및 상기 제2감지증폭부에 연결되고 리셋신호 및 상기 리셋신호
의 반전신호에 응답하여 상기 출력신호를 셋시키고 상기 출력신호의 상보신호를 리셋시
키는 제어부; 및

상기 제1감지증폭부, 상기 제2감지증폭부, 및 상기 제어부에 연결되고 상기 클럭신
호에 응답하는 전류소스를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 12】

클럭신호에 응답하여 입력신호를 감지증폭하여 출력신호를 발생하는
제1감지증폭부;

상기 클럭신호에 응답하여 상기 입력신호의 상보신호를 감지증폭하여 상기 출력신
호의 상보신호를 발생하는 제2감지증폭부; 및

상기 제1감지증폭부 및 상기 제2감지증폭부에 연결되고 리셋신호 및 상기 리셋신호
의 반전신호에 응답하여 상기 출력신호를 리셋시키고 상기 출력신호의 상보신호를 셋시
키는 제어부; 및

상기 제1감지증폭부, 상기 제2감지증폭부, 및 상기 제어부에 연결되고 상기 클럭신
호에 응답하는 전류소스를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 13】

제11항 또는 제12항에 있어서, 상기 감지증폭기는,
 상기 출력신호를 반전 버퍼링하는 제1반전 버퍼; 및
 상기 출력신호의 상보신호를 반전 버퍼링하는 제2반전 버퍼를 더 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 14】

제11항 또는 제12항에 있어서, 상기 제1감지증폭부는,
 소오스에 전원전압이 인가되고 게이트에 상기 클럭신호가 인가되며 드레인이 상기 출력신호가 출력되는 제1출력노드에 연결되는 제1피모스 트랜지스터;
 소오스에 전원전압이 인가되고 게이트에 상기 제2감지증폭부로부터 출력되는 상기 출력신호의 상보신호가 인가되며 드레인이 상기 제1출력노드에 연결되는 제2피모스 트랜지스터;
 드레인이 상기 제1출력노드에 연결되고 게이트에 상기 출력신호의 상보신호가 인가되며 소오스가 상기 제어부에 연결되는 제1엔모스 트랜지스터;
 드레인이 상기 제1출력노드에 연결되고 게이트에 상기 출력신호의 상보신호가 인가되며 소오스가 상기 전류소스에 연결되는 제2엔모스 트랜지스터; 및
 드레인이 상기 제1엔모스 트랜지스터의 소오스에 연결되고 게이트에 상기 입력신호가 인가되며 소오스가 상기 제어부에 연결되는 제3엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 15】

제11항 또는 제12항에 있어서, 상기 제2감지증폭부는,

소오스에 전원전압이 인가되고 게이트에 상기 클럭신호가 인가되며 드레인이 상기 출력신호의 상보신호가 출력되는 제2출력노드에 연결되는 제1피모스 트랜지스터;

소오스에 전원전압이 인가되고 게이트에 상기 제1감지증폭부로부터 출력되는 상기 출력신호가 인가되며 드레인이 상기 제2출력노드에 연결되는 제2피모스 트랜지스터;

드레인이 상기 제2출력노드에 연결되고 게이트에 상기 출력신호가 인가되며 소오스가 상기 제어부에 연결되는 제1엔모스 트랜지스터;

드레인이 상기 제2출력노드에 연결되고 게이트에 상기 출력신호가 인가되며 소오스가 상기 전류소스에 연결되는 제2엔모스 트랜지스터; 및

드레인이 상기 제1엔모스 트랜지스터의 소오스에 연결되고 게이트에 상기 입력신호의 상보신호가 인가되며 소오스가 상기 제어부에 연결되는 제3엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 16】

제11항에 있어서, 상기 제어부는,

드레인이 상기 제1감지증폭부에 연결되고 게이트에 접지전압이 인가되는 제1엔모스 트랜지스터;

드레인이 상기 제2감지증폭부에 연결되고 게이트에 전원전압이 인가되는 제2엔모스 트랜지스터;

드레인이 상기 제1엔모스 트랜지스터의 소오스 및 상기 제2엔모스 트랜지스터의 소오스에 공통 연결되고 게이트에 상기 리셋신호가 인가되며 소오스가 상기 전류소스에 연결되는 제3엔모스 트랜지스터; 및

드레인이 상기 제1감지증폭부 및 상기 제2감지증폭부에 공통 연결되고 게이트에 상기 리셋신호의 반전신호가 인가되며 소오스가 상기 전류소스에 연결되는 제4엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 17】

제12항에 있어서, 상기 제어부는,

드레인이 상기 제1감지증폭부에 연결되고 게이트에 전원전압이 인가되는 제1엔모스 트랜지스터;

드레인이 상기 제2감지증폭부에 연결되고 게이트에 접지전압이 인가되는 제2엔모스 트랜지스터;

드레인이 상기 제1엔모스 트랜지스터의 소오스 및 상기 제2엔모스 트랜지스터의 소오스에 공통 연결되고 게이트에 상기 리셋신호가 인가되며 소오스가 상기 전류소스에 연결되는 제3엔모스 트랜지스터; 및

드레인이 상기 제1감지증폭부 및 상기 제2감지증폭부에 공통 연결되고 게이트에 상기 리셋신호의 반전신호가 인가되며 소오스가 상기 전류소스에 연결되는 제4엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 18】

제11항 또는 제12항에 있어서, 상기 전류소스는,

드레인이 상기 제1감지증폭부, 상기 제2감지증폭부, 및 상기 제어부에 공통 연결되고 게이트에 상기 클럭신호가 인가되며 소오스에 접지전압이 인가되는 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 19】

클럭신호 및 리셋신호에 응답하여 입력신호를 감지증폭하여 출력신호를 발생하는 제1감지증폭부;

상기 클럭신호 및 상기 리셋신호에 응답하여 상기 입력신호의 상보신호를 감지증폭하여 상기 출력신호의 상보신호를 발생하는 제2감지증폭부;

상기 제1감지증폭부에 연결되고 상기 리셋신호 및 상기 리셋신호의 반전신호에 응답하여 상기 출력신호를 셋시키는 제1제어부; 및

상기 제2감지증폭부에 연결되고 상기 리셋신호 및 상기 리셋신호의 반전신호에 응답하여 상기 출력신호의 상보신호를 리셋시키는 제2제어부를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 20】

클럭신호 및 리셋신호에 응답하여 입력신호를 감지증폭하여 출력신호를 발생하는 제1감지증폭부;

상기 클럭신호 및 상기 리셋신호에 응답하여 상기 입력신호의 상보신호를 감지증폭하여 상기 출력신호의 상보신호를 발생하는 제2감지증폭부;

상기 제1감지증폭부에 연결되고 상기 리셋신호 및 상기 리셋신호의 반전신호에 응답하여 상기 출력신호를 리셋시키는 제1제어부; 및

상기 제2감지증폭부에 연결되고 상기 리셋신호 및 상기 리셋신호의 반전신호에 응답하여 상기 출력신호의 상보신호를 셋시키는 제2제어부를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 21】

제19항 또는 제20항에 있어서, 상기 감지증폭기는,

상기 출력신호를 반전 버퍼링하는 제1반전 버퍼; 및

상기 출력신호의 상보신호를 반전 버퍼링하는 제2반전 버퍼를 더 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 22】

제19항 또는 제20항에 있어서, 상기 제1감지증폭부는,

소오스에 전원전압이 인가되고 게이트에 상기 클럭신호가 인가되는 제1피모스 트랜지스터;

소오스가 상기 제1피모스 트랜지스터의 드레인에 연결되고 게이트에 상기 리셋신호가 인가되며 드레인이 상기 출력신호가 출력되는 제1출력노드에 연결되는 제2피모스 트랜지스터;

소오스에 전원전압이 인가되고 게이트에 상기 제2감지증폭부로부터 출력되는 상기 출력신호의 상보신호가 인가되며 드레인이 상기 제1출력노드에 연결되는 제3피모스 트랜지스터;

드레인이 상기 제1출력노드에 연결되고 게이트에 상기 출력신호의 상보신호가 인가되며 소오스가 상기 제1제어부에 연결되는 제1엔모스 트랜지스터;

드레인이 상기 제1출력노드에 연결되고 게이트에 상기 출력신호의 상보신호가 인가되며 소오스가 상기 전류소스에 연결되는 제2엔모스 트랜지스터; 및

드레인이 상기 제1엔모스 트랜지스터의 소오스에 연결되고 게이트에 상기 입력신호가 인가되며 소오스가 상기 제1제어부에 연결되는 제3엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 23】

제19항 또는 제20항에 있어서, 상기 제2감지증폭부는,

소오스에 전원전압이 인가되고 게이트에 상기 클럭신호가 인가되는 제1피모스 트랜지스터;

소오스가 상기 제1피모스 트랜지스터의 드레인에 연결되고 게이트에 상기 리셋신호가 인가되며 드레인이 상기 출력신호의 상보신호가 출력되는 제2출력노드에 연결되는 제2피모스 트랜지스터;

소오스에 전원전압이 인가되고 게이트에 상기 제1감지증폭부로부터 출력되는 상기 출력신호가 인가되며 드레인이 상기 제2출력노드에 연결되는 제3피모스 트랜지스터;

드레인이 상기 제2출력노드에 연결되고 게이트에 상기 출력신호가 인가되며 소오스가 상기 제2제어부에 연결되는 제1엔모스 트랜지스터;

드레인이 상기 제2출력노드에 연결되고 게이트에 상기 출력신호가 인가되며 소오스가 상기 전류소스에 연결되는 제2엔모스 트랜지스터; 및

드레인이 상기 제1엔모스 트랜지스터의 소오스에 연결되고 게이트에 상기 입력신호의 상보신호가 인가되며 소오스가 상기 제2제어부에 연결되는 제3엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 24】

제19항에 있어서, 상기 제1제어부는,

드레인이 상기 제1감지증폭부에 연결되고 게이트에 상기 리셋신호의 반전신호가 인가되며 소오스가 상기 전류소스에 연결되는 제1엔모스 트랜지스터; 및

드레인이 상기 제1감지증폭부에 연결되고 게이트에 상기 리셋신호가 인가되며 소오스에 전원전압이 인가되는 제2엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 25】

제19항에 있어서, 상기 제2제어부는,

드레인이 상기 제2감지증폭부에 연결되고 게이트에 상기 리셋신호의 반전신호가 인가되며 소오스가 상기 전류소스에 연결되는 제1엔모스 트랜지스터; 및

드레인이 상기 제2감지증폭부에 연결되고 게이트에 상기 리셋신호가 인가되며 소오스에 접지전압이 인가되는 제2엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 26】

제20항에 있어서, 상기 제1제어부는,

드레인이 상기 제1감지증폭부에 연결되고 게이트에 상기 리셋신호의 반전신호가 인가되며 소오스가 상기 전류소스에 연결되는 제1엔모스 트랜지스터; 및

드레인이 상기 제1감지증폭부에 연결되고 게이트에 상기 리셋신호가 인가되며 소오스에 접지전압이 인가되는 제2엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 27】

제20항에 있어서, 상기 제2제어부는,

드레인이 상기 제2감지증폭부에 연결되고 게이트에 상기 리셋신호의 반전신호가 인가되며 소오스가 상기 전류소스에 연결되는 제1엔모스 트랜지스터; 및

드레인이 상기 제2감지증폭부에 연결되고 게이트에 상기 리셋신호가 인가되며 소오스에 전원전압이 인가되는 제2엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 28】

제19항 또는 제20항에 있어서, 상기 전류소스는,

드레인이 상기 제1감지증폭부, 상기 제2감지증폭부, 상기 제1제어부, 및 상기 제2제어부에 공통 연결되고 게이트에 상기 클럭신호가 인가되며 소오스에 접지전압이 인가되는 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 29】

클럭신호 및 리셋신호에 응답하여 입력신호를 감지증폭하여 출력신호를 발생하는 제1감지증폭부;

상기 클럭신호 및 상기 리셋신호에 응답하여 상기 입력신호의 상보신호를 감지증폭하여 상기 출력신호의 상보신호를 발생하는 제2감지증폭부; 및

상기 제1감지증폭부 및 상기 제2감지증폭부에 연결되고 상기 리셋신호 및 상기 리셋신호의 반전신호에 응답하여 상기 출력신호를 셋시키고 상기 출력신호의 상보신호를 리셋시키는 제어부를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 30】

클럭신호 및 리셋신호에 응답하여 입력신호를 감지증폭하여 출력신호를 발생하는 제1감지증폭부;

상기 클럭신호 및 상기 리셋신호에 응답하여 상기 입력신호의 상보신호를 감지증폭하여 상기 출력신호의 상보신호를 발생하는 제2감지증폭부; 및

상기 제1감지증폭부 및 상기 제2감지증폭부에 연결되고 상기 리셋신호 및 상기 리셋신호의 반전신호에 응답하여 상기 출력신호를 리셋시키고 상기 출력신호의 상보신호를 셋시키는 제어부를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 31】

제29항 또는 제30항에 있어서, 상기 감지증폭기는,

상기 출력신호를 반전 버퍼링하는 제1반전 버퍼; 및

상기 출력신호의 상보신호를 반전 버퍼링하는 제2반전 버퍼를 더 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 32】

제29항 또는 제30항에 있어서, 상기 제1감지증폭부는,

소오스에 전원전압이 인가되고 게이트에 상기 클럭신호가 인가되는 제1피모스 트랜지스터;

소오스가 상기 제1피모스 트랜지스터의 드레인에 연결되고 게이트에 상기 리셋신호가 인가되며 드레인이 상기 출력신호가 출력되는 제1출력노드에 연결되는 제2피모스 트랜지스터;

소오스에 전원전압이 인가되고 게이트에 상기 제2감지증폭부로부터 출력되는 상기 출력신호의 상보신호가 인가되며 드레인이 상기 제1출력노드에 연결되는 제3피모스 트랜지스터;

드레인이 상기 제1출력노드에 연결되고 게이트에 상기 출력신호의 상보신호가 인가되며 소오스가 상기 제1제어부에 연결되는 제1엔모스 트랜지스터;

드레인이 상기 제1출력노드에 연결되고 게이트에 상기 출력신호의 상보신호가 인가되며 소오스가 상기 전류소스에 연결되는 제2엔모스 트랜지스터; 및

드레인이 상기 제1엔모스 트랜지스터의 소오스에 연결되고 게이트에 상기 입력신호가 인가되며 소오스가 상기 제1제어부에 연결되는 제3엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 33】

제29항 또는 제30항에 있어서, 상기 제2감지증폭부는,

소오스에 전원전압이 인가되고 게이트에 상기 클럭신호가 인가되는 제1피모스 트랜지스터;

소오스가 상기 제1피모스 트랜지스터의 드레인에 연결되고 게이트에 상기 리셋신호가 인가되며 드레인이 상기 출력신호의 상보신호가 출력되는 제2출력노드에 연결되는 제2피모스 트랜지스터;

소오스에 전원전압이 인가되고 게이트에 상기 제1감지증폭부로부터 출력되는 상기 출력신호가 인가되며 드레인이 상기 제2출력노드에 연결되는 제3피모스 트랜지스터;

드레인이 상기 제2출력노드에 연결되고 게이트에 상기 출력신호가 인가되며 소오스가 상기 제2제어부에 연결되는 제1엔모스 트랜지스터;

드레인이 상기 제2출력노드에 연결되고 게이트에 상기 출력신호가 인가되며 소오스가 상기 전류소스에 연결되는 제2엔모스 트랜지스터; 및

드레인이 상기 제1엔모스 트랜지스터의 소오스에 연결되고 게이트에 상기 입력신호의 상보신호가 인가되며 소오스가 상기 제2제어부에 연결되는 제3엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 34】

제29항에 있어서, 상기 제어부는,

드레인이 상기 제1감지증폭부에 연결되고 게이트에 상기 리셋신호가 인가되며 소오스에 전원전압이 인가되는 제1엔모스 트랜지스터;

드레인이 상기 제2감지증폭부에 연결되고 게이트에 상기 리셋신호가 인가되며 소오스에 접지전압이 인가되는 제2엔모스 트랜지스터; 및

드레인이 상기 제1감지증폭기 및 상기 제2감지증폭부에 공통 연결되고 게이트에 상기 리셋신호의 반전신호가 인가되는 제3엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

【청구항 35】

제30항에 있어서, 상기 제어부는,

드레인이 상기 제1감지증폭부에 연결되고 게이트에 상기 리셋신호가 인가되며 소오스에 접지전압이 인가되는 제1엔모스 트랜지스터;

드레인이 상기 제2감지증폭부에 연결되고 게이트에 상기 리셋신호가 인가되며 소오스에 전원전압이 인가되는 제2엔모스 트랜지스터; 및

드레인이 상기 제1감지증폭기 및 상기 제2감지증폭부에 공통 연결되고 게이트에 상기 리셋신호의 반전신호가 인가되는 제3엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기.

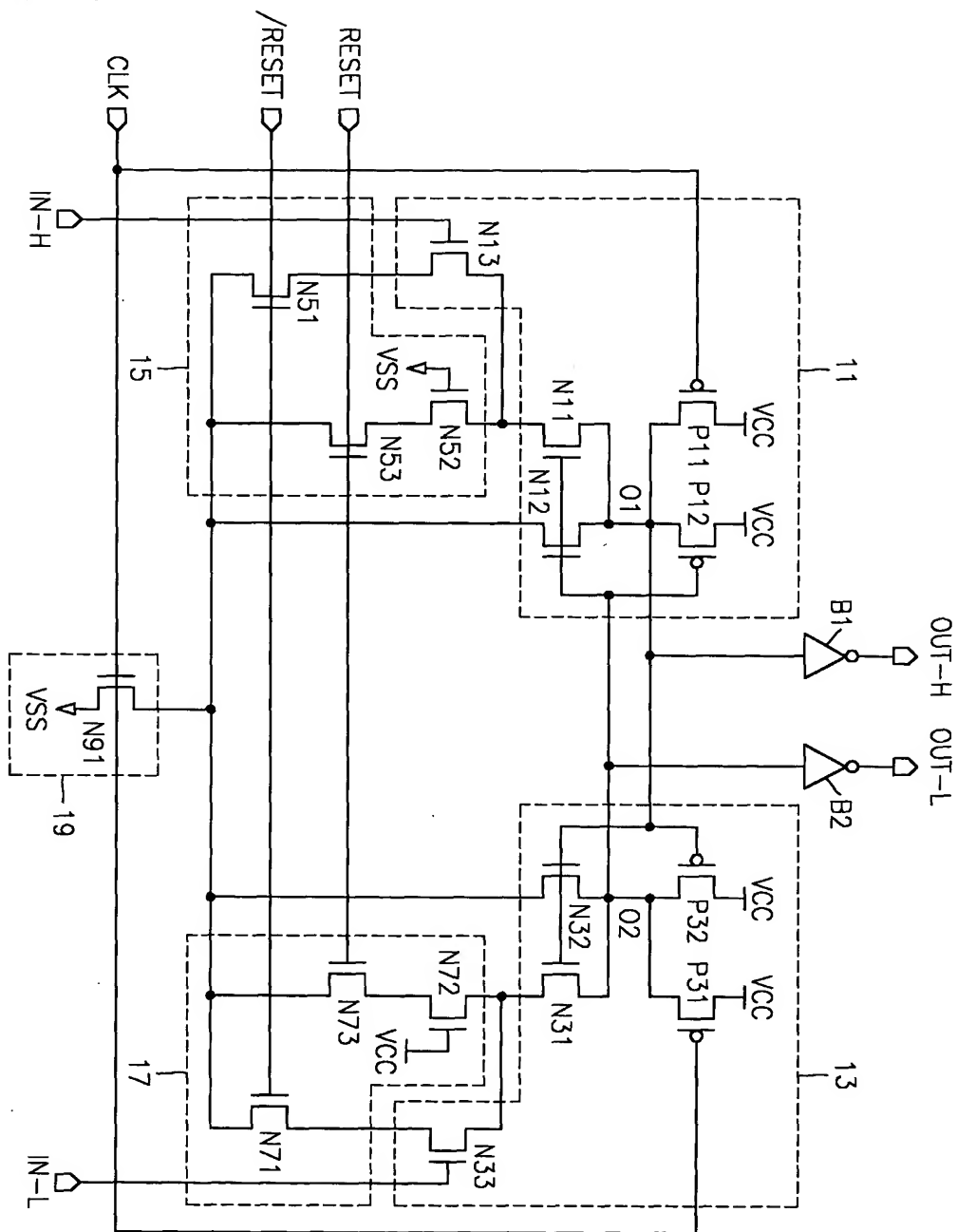
【청구항 36】

제29항 또는 제30항에 있어서, 상기 전류소스는,

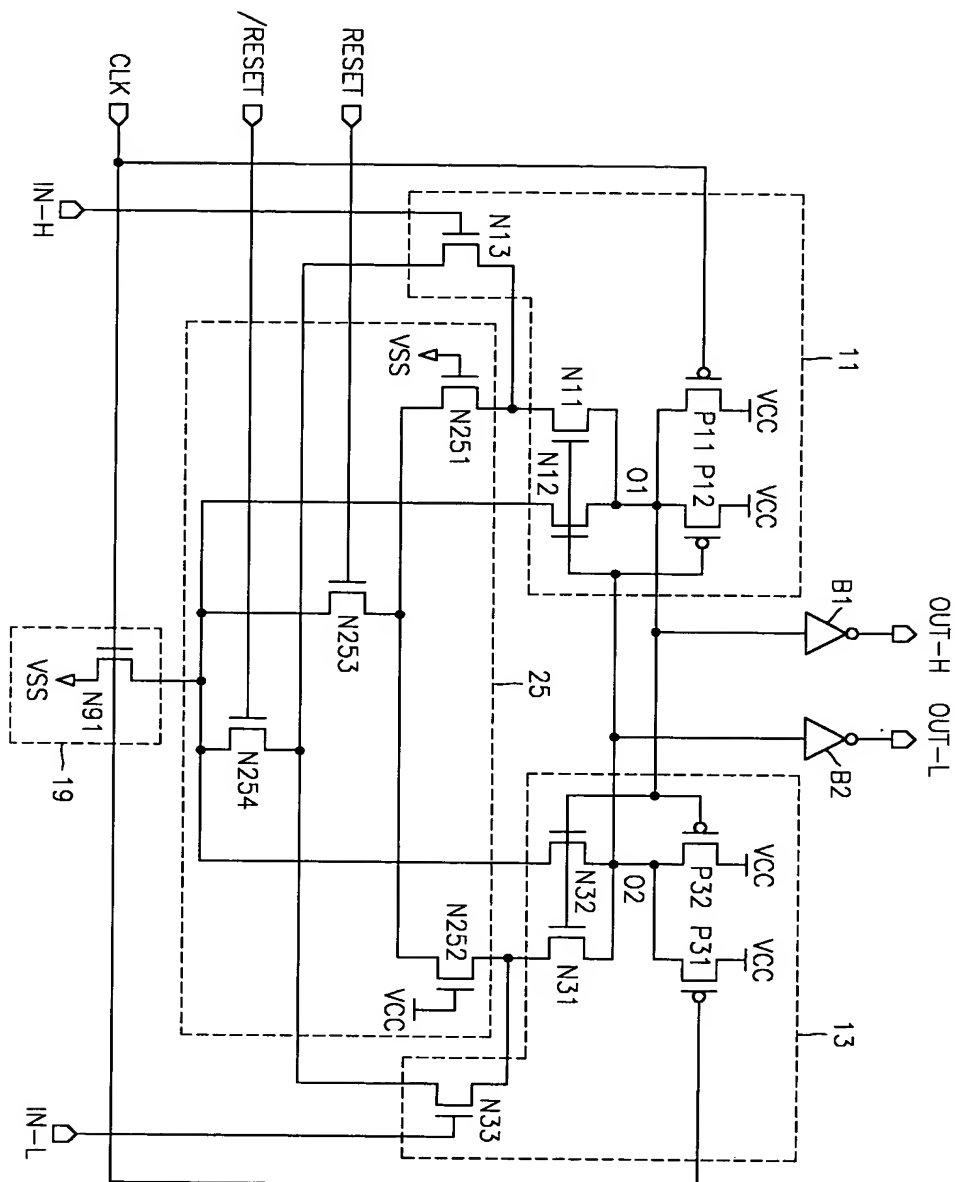
드레인이 상기 제어부에 연결되고 게이트에 상기 클럭신호가 인가되며 소오스에 접지전압이 인가되는 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 감지증폭기

【도면】

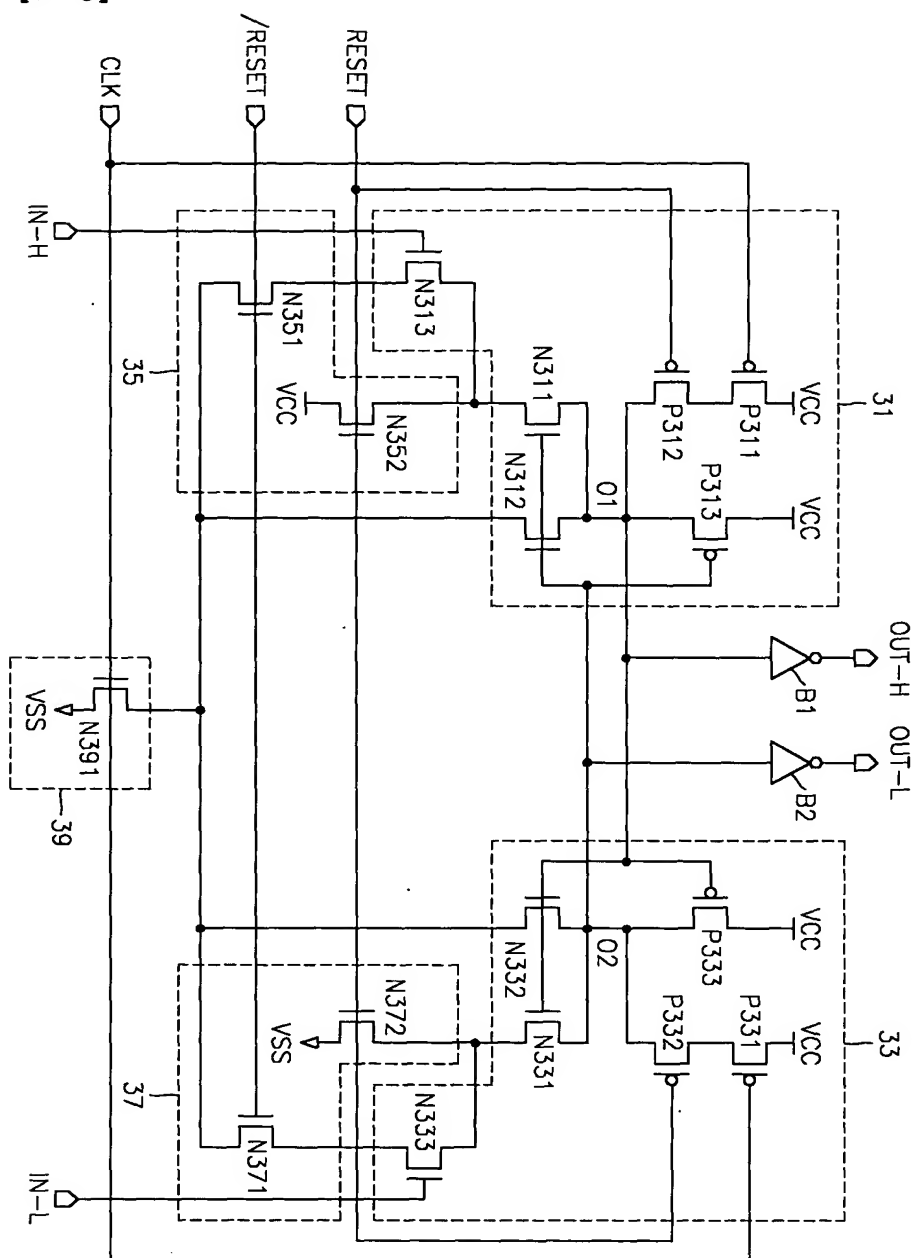
【도 1】



【도 2】



【표 3】



【도 4】

